

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144780

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H01L 21/76

(21)Application number : 08-298656

(71)Applicant : SONY CORP

(22)Date of filing : 11.11.1996

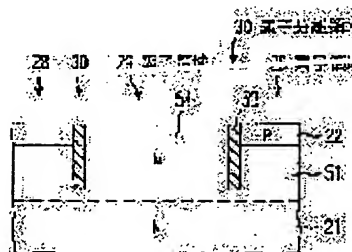
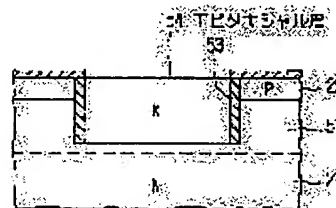
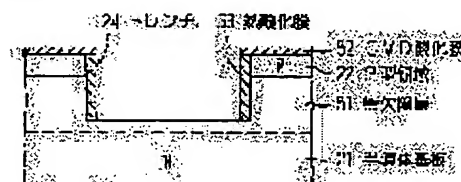
(72)Inventor : TOKUNAGA KAZUHIKO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a high integrated semiconductor device high in manufacturing yield, wherein an element isolation region narrow in width and large in depth is stably formed.

SOLUTION: A denuded layer 51 is formed on the surface of a semiconductor substrate 21 in a hydrogen atmosphere through a heat treatment, thereafter a CVD oxide film 52 is formed on the surface of the semiconductor substrate 21, a trench 24 is provided to the semiconductor substrate 21, a thermal oxide film 53 is formed on the trench 24 by thermal oxidation, the surface of the semiconductor substrate 21 is etched back through an anisotropic etching method to remove the oxide film from the base of the trench 24, and an epitaxial layer 54 is formed on the trench 24.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

1168

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144780

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

E

審査請求 未請求 請求項の数7 OL (全 7 頁)

(21) 出願番号 特願平8-298656

(22) 出願日 平成8年(1996)11月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 徳永 和彦

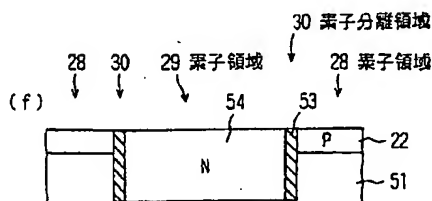
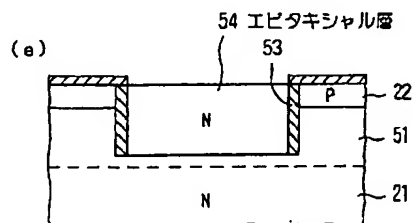
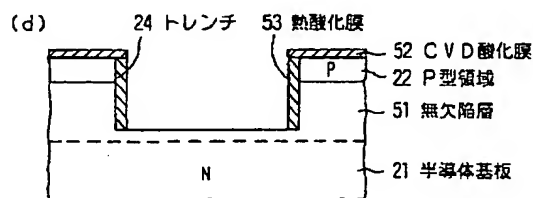
東京都品川区北品川6丁目7番35号 ソニー株式会社内

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 幅が狭くて深い素子分離領域をより安定に形成し、製造歩留をより向上させることが可能な、高集積化した半導体装置の製造方法を提供する。

【解決手段】 水素雰囲気中での熱処理により、半導体基板21表面に無欠陥層51を形成し、その後半導体基板21表面にCVD酸化膜52を形成し、半導体基板21表面にトレンチ24を形成し、熱酸化によりトレンチ24部に熱酸化膜53を形成し、異方性エッチングによるエッチバックを行い、トレンチ24底部の酸化膜は除去した後、トレンチ24部にエピタキシャル層54を形成する。



### 【特許請求の範囲】

【請求項1】 高集積化した半導体装置の製造方法において、

半導体基板表面に絶縁膜を形成する工程と、  
前記半導体基板表面に凹部を形成する工程と、  
熱酸化により、前記凹部に酸化膜を形成する工程と、  
異方性エッチングによるエッチバックで、前記凹部の底部の前記酸化膜は除去する工程と、

エピタキシャル結晶成長法により、前記凹部の底部よりエピタキシャル結晶成長をさせ、前記凹部にエピタキシャル層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体基板は、水素雰囲気中で熱処理し、前記凹部の深さより厚い無欠陥層を前記半導体基板表面に形成した前記半導体基板であることを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記半導体基板表面には、前記半導体基板の導電型と異なる導電型領域が形成されていることを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項4】 前記エピタキシャル層の導電型は、前記半導体基板の導電型と同じであることを特徴とする、請求項3に記載の半導体装置の製造方法。

【請求項5】 前記凹部は、市松状に形成することを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項6】 前記エピタキシャル結晶成長法は、選択エピタキシャル結晶成長法であることを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項7】 前記エピタキシャル層形成後に、前記エピタキシャル層と前記凹部側壁の前記酸化膜間とを密着させるための熱酸化をすることを特徴とする、請求項1に記載の半導体装置の製造方法。

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、さらに詳しくは、素子分離領域の形成方法に特徴を有する半導体装置の製造方法に関する。

#### 【0002】

【従来の技術】 半導体基板に形成された半導体装置の各構成素子を電氣的に分離する、素子間分離技術として、PN接合分離と誘電体分離とがある。後者の誘電体分離で、一般に広く使用されている素子間分離技術には、LOCOS (Local Oxidation of Silicon) 法による素子間分離技術と、溝埋め込み分離 (トレンチアイソレーション) 技術とがある。LOCOS法による素子間分離にはバースピークや、半導体基板表面のストレスの問題があり、LOCOS法による素子間分離の改良型が種々創案されている。しかし、高集積化された半導体装置に使用する、幅の狭い素子分離領域への適応が難しい。一方、トレンチアイソレーショ

ン領域が形成できるため、高集積化された半導体装置における素子間分離法として使用されるようになってきた。しかし、このトレンチアイソレーション法による素子分離領域の形成法も、更に高集積化が進んだ半導体装置や、トレンチ幅に比して、深い素子分離領域を必要とする半導体装置においては、素子分離領域に形成する絶縁膜にボイドが発生し、耐圧や信頼性上の問題が生じる虞がある。

【0003】 この素子分離領域の絶縁膜のボイド発生を、図6を参照して説明する。まず、図6 (a) に示すように、半導体基板11表面の素子分離領域1にトレンチ12を形成する。その後、図6 (b) に示すように、CVD法等によりCVD酸化膜13を、トレンチ12部をCVD酸化膜13で充填する程度の膜厚となるまで堆積する。この時、素子分離領域1の深さと幅との比が大きいと、トレンチ12表面より深い部分に、CVD酸化膜13が充填されない部分、所謂ボイドができる虞がある。次に、図6 (c) に示すように、CVD酸化膜13をエッチバックして、素子分離領域1のみにCVD酸化膜13を残す。この様にして、素子分離領域1を形成するが、素子分離領域1のCVD酸化膜13にボイド14が発生している状態で、半導体装置を作製すると耐圧や信頼性上の問題が生じる虞がある。

【0004】 このトレンチアイソレーション法によるボイド14の発生問題を解決する方法の一つとして、特公平3-49657号公報に開示されている、トレンチ側壁への絶縁膜形成と、トレンチ底部からのエピタキシャル成長とにより素子分離領域を形成する方法が提案されている。この素子分離領域の形成法の要旨を、図7を参照して述べる。まず、図7 (a) に示すように、相補型MOS (CMOS) の半導体装置の作製をするため、N型の半導体基板21にP型領域22を形成し、その後半導体基板21表面にSiO<sub>2</sub>膜23を形成する。次に、上記半導体基板21をRIE (Reactive Ion Etching) 等により異方性エッチングして、後述するN型領域の素子領域29とする部分にトレンチ24を形成する。

【0005】 次に、図7 (b) に示すように、プラズマCVD法によりSi<sub>3</sub>N<sub>4</sub>膜25を堆積する。その後加熱リン酸によりエッチングすると、トレンチ24側壁に堆積したSi<sub>3</sub>N<sub>4</sub>膜25と、平坦面であるSiO<sub>2</sub>膜23上やトレンチ24底部上のSi<sub>3</sub>N<sub>4</sub>膜25との加熱リン酸のエッチング速度の差により、トレンチ24側壁に堆積したSi<sub>3</sub>N<sub>4</sub>膜25が最初にエッチングされて無くなり、この時点でエッチングを終了することで、SiO<sub>2</sub>膜23上やトレンチ24底部上のSiN膜のみを残存させる。更にその後、半導体基板21を熱酸化して、トレンチ24側壁にSiO<sub>2</sub>膜26を形成する。

【0006】 次に、図7 (c) に示すように、加熱リン酸によりSi<sub>3</sub>N<sub>4</sub>膜25を除去し、その後エピタキシャル

ャル成長法にて、トレンチ24底部よりエピタキシャル成長させたN型のエピタキシャル層27を形成する。その後、SiO<sub>2</sub>膜23上に形成された多結晶膜やSiO<sub>2</sub>膜23を除去して、P型領域22を持つ素子領域28間にN型のエピタキシャル層27による素子領域29と素子分離領域30が形成される。

【0007】上述のトレンチ側壁への絶縁膜形成と、トレンチ底部からのエピタキシャル成長とにより素子分離領域を形成する素子分離領域の形成法を採ると、幅の狭い素子分離領域29が、上述したトレンチアイソレーション法のようなボイド14を発生させることなく、形成できる。従って、この素子分離領域の形成方法は、高集積化した半導体装置の製造方法として有効な方法である。

【0008】しかしながら、トレンチ24底部からエピタキシャル成長させて形成するエピタキシャル層27の結晶性が良好とならない虞があると考えられる。この為、このエピタキシャル層27に形成する半導体装置の構成素子に特性不良を発生させる虞があると考えられる。また、Si<sub>3</sub>N<sub>4</sub>膜25を加熱リン酸でエッチングする際、エッチング速度差でトレンチ24側壁のみのSi<sub>3</sub>N<sub>4</sub>膜25を除去することは、制御がかなり難しいと考えられる。

【0009】

【発明が解決しようとする課題】本発明の課題は、幅が狭くて深い素子分離領域をより安定に形成し、製造歩留をより向上させることが可能な、高集積化した半導体装置の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の半導体装置の製造方法は、高集積化した半導体装置の製造方法において、水素雰囲気中での熱処理により、半導体基板表面に無欠陥層を形成した後の半導体基板表面に絶縁膜を形成する工程と、半導体基板表面に凹部を形成する工程と、熱酸化により、凹部に酸化膜を形成する工程と、異方性エッチングによるエッチバックで、凹部の底部の酸化膜は除去する工程と、エピタキシャル結晶成長法により、凹部の底部よりエピタキシャル結晶成長をさせ、凹部にエピタキシャル層を形成する工程とを有することを特徴とするものである。

【0011】本発明によれば、水素雰囲気中での熱処理により、半導体基板表面に無欠陥層を形成した後の半導体基板表面に絶縁膜を形成し、その後半導体基板表面に凹部、即ちトレンチを形成し、熱酸化膜によりトレンチの表面に熱酸化膜を形成し、異方性エッチングによるエッチバックを行い、トレンチ底部の酸化膜は除去した後、トレンチ部にエピタキシャル層を形成することで、幅が狭くて深い素子分離領域をより安定に形成することができる。また、トレンチ部のエピタキシャル層は、無欠陥層よりエピタキシャル結晶成長させて形成するため

に結晶性が向上し、半導体装置の結晶性に起因する特性不良を回避できるので、半導体装置の製造歩留が向上する。

【0012】

【実施例】以下、本発明の具体的実施例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図7中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0013】実施例1

本実施例は、同じ構造のメモリセルを2次元的に配列したメモリ部を持つCMOS型SRAMのような半導体装置の製造方法に本発明を適用した例であり、これを図1～図4を参照して説明する。まず、図1(a)に示すように、例えば半導体基板酸素濃度が1.4E18/cm<sup>3</sup>、抵抗率が1Ωcmで、N型の半導体基板21を水素ガス雰囲気中で、約1200°C、1時間の熱処理を行い、半導体基板21表面に、後述する素子分離領域30の深さより厚い無欠陥層51、所謂DZ(Denuded Zone)層を形成する。

【0014】次に、図1(b)に示すように、半導体基板21表面に不純物、例えばBイオンをイオン注入し、その後熱処理を行い、NMOSトランジスタ等を形成する領域とする、P型領域22を形成する。その後、半導体基板21表面に絶縁膜、例えばCVD法によるCVD酸化膜52を膜厚約300nm程度堆積する。次に、フォトリソグラフィ技術によるフォトリソグのパターンニングと、このパターンニングされたフォトリソグをマスクとして、CVD酸化膜52および半導体基板21をRIE法等の異方性エッチングにより、半導体基板21表面に凹部、所謂トレンチ24を形成する。この時のトレンチ24の深さは、後述する素子分離領域30が素子間を電気的に分離するに十分な深さ、例えば1μm程度とする。このトレンチ24の深さは、無欠陥層51の厚み内となっている。なお、上記のトレンチ24形成後の、CMOS型SRAMのメモリ部形成領域における半導体基板21表面は、図3に示すような構造、即ちトレンチ24が市松状に配置された構造となっている。

【0015】次に、図1(c)に示すように、熱酸化法により、トレンチ24部に熱酸化膜53を膜厚約100nm程度形成する。

【0016】次に、図2(d)に示すように、異方性エッチング特性の良いRIE法等によりエッチバックを行い、トレンチ24底部の熱酸化膜53をエッチングし、トレンチ24側壁の熱酸化膜53は残存させる。

【0017】次に、図2(e)に示すように、上記の半導体基板21をエピタキシャル装置に入れ、例えば選択エピタキシャル結晶成長法により、エピタキシャル結晶成長を行い、トレンチ24部にPMOSトランジスタ等の形成領域となるN型のエピタキシャル層54を形成する。このエピタキシャル層54の厚みは、トレンチ24

部を埋める程度とする。なお、このN型のエピタキシャル層54の形成条件は、例えば下記のようなものである。

〔N型のエピタキシャル層54の形成条件〕

|                                       |   |     |      |
|---------------------------------------|---|-----|------|
| SiH <sub>2</sub> Cl <sub>2</sub> ガス流量 | : | 200 | sccm |
| PH <sub>3</sub> ガス流量                  | : | 100 | sccm |
| HCl ガス流量                              | : | 300 | sccm |
| 圧力                                    | : | 13  | kPa  |
| 温度                                    | : | 850 | °C   |

なおここで、上記PH<sub>3</sub> ガス流量は、N<sub>2</sub> ベースの1% PH<sub>3</sub> ガスでの流量である。なお、上記エピタキシャル層54は、無欠陥層51よりエピタキシャル結晶成長をさせるために、結晶性の良いエピタキシャル層54となる。

【0018】次に、エピタキシャル層54と凹部側壁の熱酸化膜とを密着させるための熱酸化をする熱酸化処理を行う。その後、P型領域22上のCVD酸化膜52やエピタキシャル層54上に形成された酸化膜等を除去することで、図2(f)に示すように、P型領域22を持つ素子領域28間にN型のエピタキシャル層54による素子領域29と素子分離領域30が形成される。なお、上記の素子分離領域30を形成した後の、CMOS型SRAMのメモリ部形成領域における半導体基板21表面は、図4に示すような構造、即ち素子分離領域30が格子状に形成され、P型領域22を持つ素子領域28とN型のエピタキシャル層54を持つ素子領域29が市松状に配置された構造となる。

【0019】上述した素子分離領域30を形成した後は、図面は省略するが、常法に準ずる製造方法により、例えばP型領域22を持つ素子領域28にNMOSトランジスタを、N型のエピタキシャル層54を持つ素子領域29にはPMOSトランジスタを形成して、CMOS型SRAMの半導体装置を作製する。

【0020】上述した半導体装置の製造方法を採れば、幅が狭くて深い素子分離領域30をより安定して形成できるので、耐圧や信頼性上の問題のない、高集積化した半導体装置の作製が可能となる。また、エピタキシャル層54は、無欠陥層51よりエピタキシャル成長させるために、結晶性が良く、従ってエピタキシャル層54の素子領域29に形成される、例えばPMOSトランジスタの結晶性に起因した特性不良発生が回避され、半導体装置の製造歩留が向上する。

【0021】実施例2

本実施例は、NMOS型半導体装置の製造方法に本発明を適用した例であり、これを図5を参照して説明する。まず、図5(a)に示すように、実施例1と同様にして、N型の半導体基板21表面に無欠陥層51を形成した後、CVD法により膜厚約300nmのCVD酸化膜52を形成する。次に、フォトリソグラフィ技術によるフォトレジストのパターニングと、このパターニングさ

れたフォトレジストをマスクとして、CVD酸化膜52および半導体基板21をRIE等の異方性エッチングにより、半導体基板21表面に凹部、所謂トレンチ24を形成する。この時のトレンチ24の深さは、後述する素子分離領域30が素子間を電氣的に分離するのに十分な深さ、例えば1μm程度とする。このトレンチ24の深さは、無欠陥層51の厚み内となっている。

【0022】次に、図5(b)に示すように、実施例1と同様にして、トレンチ24の側壁に素子分離領域30となる熱酸化膜53を形成し、その後選択エピタキシャル結晶成長法で、トレンチ24の底部よりエピタキシャル結晶成長を行って、N型のエピタキシャル層54を形成し、トレンチ24部をエピタキシャル層54で埋める。この時のエピタキシャル層54の形成条件は、例えば実施例1と同様なものとする。次に、熱酸化膜53とエピタキシャル層54の間隙が存在する場合を考慮した熱酸化処理した後、素子領域28の半導体基板21表面のCVD酸化膜52や、素子領域29のエピタキシャル層54上に形成された酸化膜を除去する。

【0023】次に、図5(c)に示すように、半導体基板21表面に不純物、例えばBイオンをイオン注入し、その後熱処理を行い、NMOSトランジスタ等を形成する領域とする、P型領域55を形成する。その後は、図面は省略するが、常法に準ずる製造方法により、素子領域28、29のP型領域55部にNMOSトランジスタ等を形成して、NMOS型半導体装置を作製する。

【0024】なお、上記実施例の半導体装置の製造方法においては、N型の半導体基板21を用いて素子分離領域30とP型領域55部を形成して、NMOS型半導体装置を作製したが、P型の半導体基板21を用いて素子分離領域30とN型領域部を形成して、PMOS型半導体装置を作製してもよい。

【0025】上述した半導体装置の製造方法を採れば、幅が狭くて深い素子分離領域30をより安定して形成できるので、耐圧や信頼性上の問題のない、高集積化した半導体装置の作製が可能となる。また、エピタキシャル層54は、無欠陥層51よりエピタキシャル成長させるために、結晶性が良く、従ってエピタキシャル層54の素子領域28に形成される、例えばPMOSトランジスタの結晶性に起因した特性不良発生を回避でき、半導体装置の製造歩留が向上する。

【0026】以上、本発明を2例の実施例により説明したが、本発明はこれら実施例に何ら限定されるものではない。例えば実施例1では、CMOS型SRAMの半導体装置の製造方法における素子分離領域形成に関して説明したが、NMOSトランジスタとPMOSトランジスタを含む、SRAM以外の半導体装置の製造方法における素子分離領域形成にも、本発明を適応できることは明白である。また、本発明の実施例では、選択エピタキシャル結晶成長法により、トレンチ部にエピタキシャル層

を形成させたが、通常のエピタキシャル結晶成長法により形成される酸化膜上の多結晶の除去工程等をエピタキシャル結晶成長後に行えば、通常のエピタキシャル結晶成長法を用いて、トレンチ部にエピタキシャル層を形成してもよい。その他、本発明の技術的思想の範囲内で、プロセス条件は適宜変更が可能である。

#### 【0027】

【発明の効果】以上の説明から明らかなように、本発明の半導体装置の製造方法は、幅が狭くて深い素子分離領域をより安定して形成できるので、耐圧や信頼性上の問題のない、高集積化した半導体装置の作製が可能となる。また、トレンチ部のエピタキシャル層は、無欠陥層よりエピタキシャル成長させるために、結晶性が良く、従ってエピタキシャル層の結晶性に起因した特性不良発生を回避でき、半導体装置の製造歩留が向上する。

#### 【図面の簡単な説明】

【図1】本発明を適用した実施例1の工程の前半を工程順に説明する、半導体装置の概略断面図で、(a)は半導体基板表面に無欠陥層を形成した状態、(b)はトレンチを形成した状態、(c)はトレンチの側壁と底部に熱酸化膜を形成した状態である。

【図2】本発明を適用した実施例1の工程の後半を工程順に説明する、半導体装置の概略断面図で、(d)は異方性エッチングにより、トレンチ底部の熱酸化膜を除去した状態、(e)はトレンチ底部より選択エピタキシャル結晶成長を行って、トレンチ部にエピタキシャル層を形成した状態、(f)は素子領域の半導体基板表面のCVD酸化膜等を除去した状態である。

【図3】トレンチを形成した後の図1(b)の状態における、半導体基板の概略平面図である。

【図4】素子分離領域を形成した後の図2(f)の状態における、半導体基板の概略平面図である。

【図5】本発明を適用した実施例2の工程を工程順に説明する、半導体装置の概略断面図で、(a)は半導体基板表面に無欠陥層を形成し、トレンチを形成した状態、

(b)は素子分離領域の熱酸化膜を形成し、トレンチ部にエピタキシャル層を形成した状態、(c)は半導体基板表面にP型領域を形成した状態である。

【図6】従来例のトレンチアイソレーション法による素子分離領域形成時ボイド発生のある素子分離領域形成工程を工程順に説明する、半導体装置の概略断面図で、

(a)は半導体基板表面にトレンチを形成した状態、

(b)はCVD酸化膜を堆積した状態、(c)はCVD酸化膜をエッチバックして素子分離領域を形成した状態である。

【図7】従来例の素子分離領域の形成法で、トレンチ側壁への絶縁膜形成と、トレンチ底部からのエピタキシャル成長とにより素子分離領域を形成する素子分離領域の形成法を工程順に説明する、半導体装置の概略断面図で、

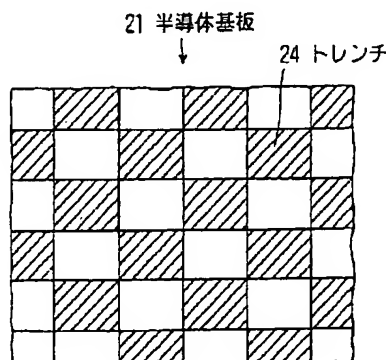
(a)は半導体基板表面にトレンチを形成した状態、(b)はプラズマCVD法によりSi<sub>3</sub>N<sub>4</sub>膜を堆積し、トレンチ側壁部のSi<sub>3</sub>N<sub>4</sub>膜のみを除去し、その後トレンチ側壁部にSiO<sub>2</sub>膜を形成した状態、

(c)はSi<sub>3</sub>N<sub>4</sub>膜を除去し、トレンチ部にエピタキシャル層を形成し、素子領域の半導体基板表面のSiO<sub>2</sub>膜を除去した状態である。

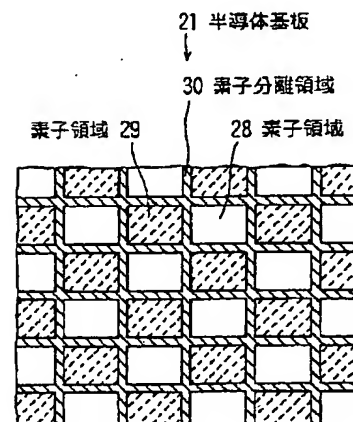
#### 【符号の説明】

1, 30…素子分離領域、11, 21…半導体基板、12, 24…トレンチ、13, 52…CVD酸化膜、14…ボイド、22, 55…P型領域、23, 26…SiO<sub>2</sub>膜、25…Si<sub>3</sub>N<sub>4</sub>膜、27, 54…エピタキシャル層、28, 29…素子領域、51…無欠陥層、53…熱酸化膜

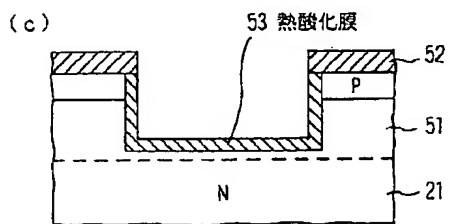
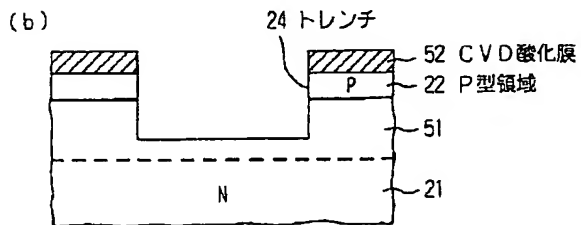
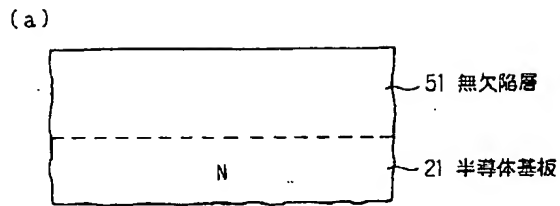
【図3】



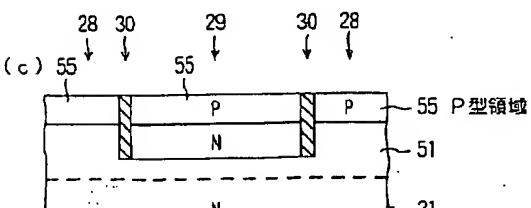
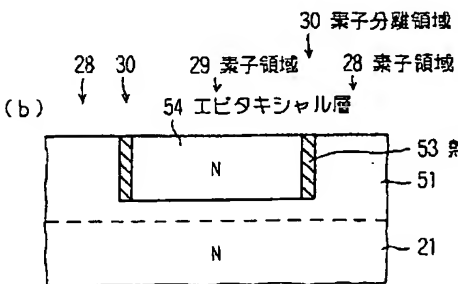
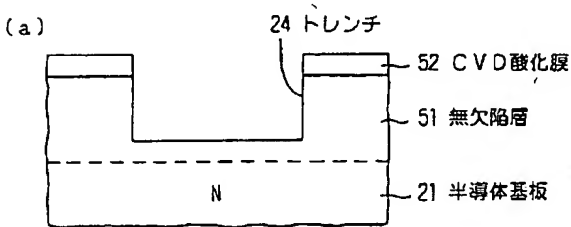
【図4】



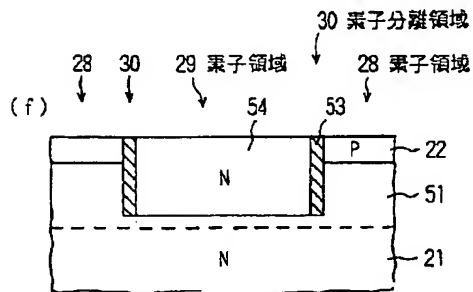
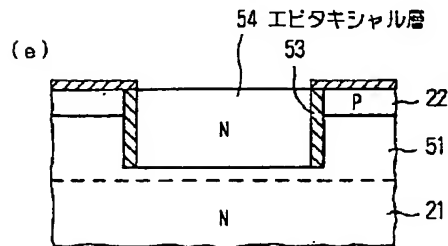
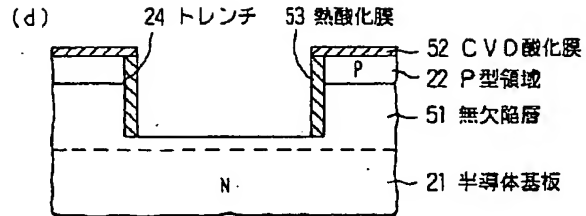
【図1】



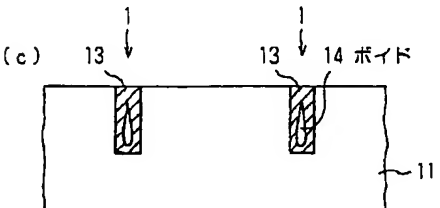
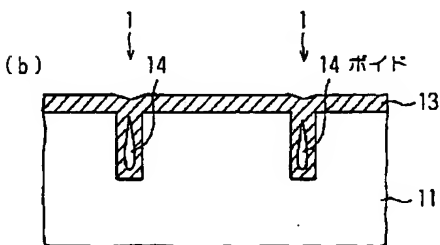
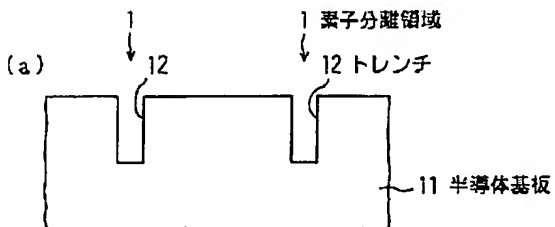
【図5】



【図2】



【図6】



【図7】

